

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-233965

(43)Date of publication of application : 02.09.1998

(51)Int.Cl.

H04N 5/335  
H01L 27/146

(21)Application number : 09-046922

(71)Applicant : OLYMPUS OPTICAL CO LTD

(22)Date of filing : 17.02.1997

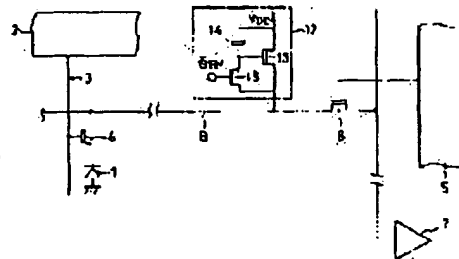
(72)Inventor : UNO MASAYUKI

## (54) SOLID-STATE IMAGE PICKUP ELEMENT

## (57)Abstract:

PROBLEM TO BE SOLVED: To provide a solid-state image pickup element by which smear is suppressed while enabling the optimum S/N design of a read amplifier.

SOLUTION: This solid-state image pickup element having a pixel array where pixels each consisting of a photo diode 1 and a vertical switch 4 are arranged in 2-dimension and a vertical scanning circuit 2 that selects respectively any of vertical gate lines 3 and any of vertical signal lines 8 to read a signal from the pixel array and a horizontal scanning circuit 5, is provided with a current storage circuit 12 consisting of a P-channel MOS TR 13 whose drain connects to the vertical signal line 8, whose source connects to a power supply VDD, and whose gate-source is connected to a capacitor 14 and of a switching MOS TR 15 that is connected between the gate and the drain of the P-channel MOS TR 13 and whose gate receives a control signal  $\bar{O}RM$ . An undesired current produced on the vertical signal line and being a cause to smear is subtracted by the current storage circuit 12 and then the smear component is suppressed before being converted into a voltage signal by a read amplifier.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]



## 【特許請求の範囲】

【請求項1】 入射光を電気信号に変換する光電変換素子を有する画素を2次元状に配列してなる画素アレイと、該画素アレイの信号読み出しを行う画素行及び画素列を選択するための垂直走査回路及び水平走査回路とを有する固体撮像素子において、各画素列又は画素行毎に画素に共通に接続された読み出し信号線に、画素からの信号読み出しを行っていないとき前記読み出し信号線上に発生する電流値を検出して記憶すると共に、画素の信号読み出し時に、前記記憶した電流値の電流を流すように構成した電流記憶回路を設けたことを特徴とする固体撮像素子。

【請求項2】 前記電流記憶回路は、ソースが接地されドレインが読み出し信号線に接続されたMOSTランジスタと、該MOSTランジスタのソース・ゲート間に接続された容量と、該MOSTランジスタのゲート・ドレイン間に接続されたスイッチング素子とにより構成されていることを特徴とする請求項1記載の固体撮像素子。

【請求項3】 前記読み出し信号線と前記電流記憶回路の間に、ソースが前記読み出し信号線に接続され、ドレインが前記電流記憶回路に接続された転送用MOSTランジスタと、該転送用MOSTランジスタのソースに入力が、ゲートに出力が接続された反転増幅器とから構成される転送回路を、設けたことを特徴とする請求項1又は2記載の固体撮像素子。

【請求項4】 前記読み出し信号線に入力を接続した容量帰還型の反転増幅器を備え、前記電流記憶回路は、ゲートがスイッチング素子を介して前記反転増幅器の出力に接続されソースが読み出し信号線に接続されドレインが電源又はグラウンドに接続されたMOSTランジスタと、該MOSTランジスタのソース・ゲート間に接続された容量とで構成されていることを特徴とする請求項1記載の固体撮像素子。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、読み出し用増幅器の最適なS/N設計を可能としながらスミアを抑圧できるようにしたX-Yアドレス型の固体撮像素子に関する。

【0002】

【従来の技術】従来、水平走査回路と垂直走査回路を有するX-Yアドレス型固体撮像素子の代表として、MOS型固体撮像素子が知られている。図5は、MOS型固体撮像素子の一構成例を示す回路構成図である。図5において、1は2次元状に配置された光電変換を行うフォトダイオード、2は各行を選択する垂直走査回路、3は上記垂直走査回路2からの選択信号を各垂直スイッチに導く垂直ゲート線、4は上記垂直走査回路2からの選択信号により開閉する垂直スイッチ、5は各行の選択を行う水平走査回路、6は水平走査回路5からの選択信号によ

り開閉する水平スイッチ、7は素子外部の増幅回路、8は垂直信号線である。

【0003】次に、上記のように構成されているMOS型固体撮像素子の動作について説明する。まず、水平ブランキング期間中に、垂直走査回路2により選択された行の垂直ゲート線3の電圧が高くなり、垂直スイッチ4が閉じ（オンし）、信号電荷がフォトダイオード1から垂直信号線8に送られる。その後、水平走査期間においては、水平走査回路5が動作して水平スイッチ6が順次開閉し、信号電荷は順次素子外部の増幅器7により増幅されて出力される。

【0004】このような構成を有するMOS型固体撮像素子においては、垂直信号線8に接続されている垂直スイッチ4を構成するMOSTランジスタの拡散層に入射した光により発生する不要電荷の画素信号への混入が、スミアとして大きな問題となる。このスミアを抑圧する方法としては、従来数多くの提案がなされているが、主として次に述べる2つの方法に分けられる。

【0005】その第1のスミア抑圧方法は、不要電荷の混入量を少なくするため、垂直信号線を画素信号読み出し前にリセット状態にすると共に、読み出し時間を短くする方法である。このようにすることにより、スミアとなる不要電荷の混入は、読み出し時間中に垂直信号線に入射した光量に対応した分のみとなるため、不要電荷の混入量は最小限に抑えられる。

【0006】第2の方法は、信号電荷に不要電荷が混入して読み出された出力の他に、信号電荷を読み出さずに不要電荷のみの出力を読み出して、前者と後者との差分をとる方法である。このように読み出しを2回行い、それらの差分をとることによって、スミア成分を引き算して抑えることができる。

【0007】ところで、MOS型固体撮像素子のS/Nを改善するため、各垂直信号線毎に増幅器を設けたライン増幅MOS型固体撮像素子（LAM）に関する提案が、“テレビジョン学会技術報告〔ITEJ Technical Report Vol.14, No.16, P.P.25~30, IPU 90-2, IE 90-12 (Feb. 1990)〕”に示されている。その構成を図6に示す。なお図6において、図5に示したMOS型固体撮像素子と同一構成要素には同一符号を付して示している。このライン増幅MOS型固体撮像素子は、図5に示したMOS型固体撮像素子をもとにして、各垂直信号線8毎に増幅器9を設けると共に、リセット雑音低減のための相関2重サンプリング（CDS）回路10が付加され、更にスミア成分の付加された画素信号からスミア成分を減算するスミア差動回路11が設けられている。また、水平スイッチ6は、図5で示したMOS型固体撮像素子では、各垂直信号線毎に1つのスイッチを設けて構成されているが、このライン増幅MOS型固体撮像素子においては、スミア差動を行うために垂直信号線毎に、スミア成分を含む画素信号とスミア成分のみの2つの出

力を行うため、各垂直信号線毎に2つのスイッチが設けられている。

【0008】このように構成されているライン増幅MOS型固体撮像素子においても、スメア抑圧のため、前述した2つの方法、すなわち読み出し時間を短縮する方法及びスメア成分の減算方法が用いられている。そのため、上記テレビジョン学会技術報告においては、読み出し時間は水平ブランキング期間の $1\mu\text{sec}$ としている旨の記述がなされている。

【0009】

【発明が解決しようとする課題】以上述べてきたように、MOS型固体撮像素子及びそれを改良したライン増幅MOS型固体撮像素子におけるスメア抑圧方法は、①読み出し時間の短縮②スメア成分の減算の2つの方法であるが、これらの方法には、次に述べるような問題点がある。

【0010】まず、前者の問題点について説明する。読み出し時間を短縮する場合、画素からの信号電荷を検出するための増幅器の周波数帯域を広くしなければならない。しかしながら増幅器の帯域を広くすると、増幅器で発生する雑音の影響が大きくなるという問題が発生する。特に、ライン増幅MOS型固体撮像素子においては、ライン毎に増幅器を設けて読み出し周波数帯域を下げ、増幅器の雑音低減により $S/N$ を向上させることが可能であるが、この $S/N$ 向上の要求とスメア抑制の要求は、増幅器の周波数帯域に関しては相反する要求となるため、両者のトレード・オフが必要となる。

【0011】このため、 $S/N$ 向上とスメア抑圧のためには、スメア差動方式も必要となるが、このスメア差動方式には次に述べるような問題点がある。すなわちスメア差動方式のためには、画素信号とスメア成分の読み出しと、スメア成分のみの読み出しが必要となる。したがって、読み出し用の増幅器は、スメア成分を考慮して、入力レンジやゲインを決めなくてはならない。そのため、大きなスメア成分までを差動方式で抑圧するには、読み出し用の増幅器において、そのスメア成分の入力に対しても増幅器が飽和しないように、ゲインを下げておく必要がある。

【0012】しかしながら増幅器のゲインを下げると、 $S/N$ 向上の妨げになる。例えば、スメア成分を画素信号の10倍に想定すると、画素信号は増幅器の有効レンジの $1/10$ しか使用できない。このように、減算可能なスメア成分のレンジを広く設定すると、読み出し用増幅器における有効信号成分の割り付けが小さくなるため、 $S/N$ を考慮した最適な増幅器のゲイン設定が不可能となるという問題が生ずる。

【0013】本発明は、従来のMOS型固体撮像素子あるいはライン増幅MOS型固体撮像素子における上記問題点を解消するためになされたもので、読み出し用増幅器の最適な $S/N$ 設計を可能としながらスメアを抑圧す

ることが可能な固体撮像素子を提供することを目的とする。更に、具体的には、読み出し用増幅器の読み出し時間を制約せずにスメアを抑圧し、且つ読み出し用増幅器の入力レンジ及びゲインの設定にスメア成分が影響を与えないで、スメアを抑圧できるようにした固体撮像素子を提供することを目的とする。

【0014】

【課題を解決するための手段】上記問題点を解決するため、本発明は、入射光を電気信号に変換する光電変換素子を有する画素を2次元状に配列した画素アレイと、該画素アレイの信号読み出しを行う画素行及び画素列を選択するための垂直走査回路及び水平走査回路とを有する固体撮像素子において、各画素列又は画素行毎に画素に共通に接続された読み出し信号線に、画素からの信号読み出しを行っていないとき前記読み出し信号線に発生する電流値を検出して記憶すると共に、画素の信号読み出し時に、前記記憶した電流値の電流を流すように構成した電流記憶回路を設けるものである。

【0015】このような構成とすることにより、読み出し信号線上で発生するスメアの原因となる不要な電流は、電流記憶回路により電流の状態が減算され、これにより読み出し用増幅器で電圧信号に変換される前にスメア成分を抑圧することができるため、読み出し用増幅器の周波数帯域、入力レンジ、ゲイン等をスメア成分を考慮せずに、画素信号成分のみで設定することができる。

【0016】

【発明の実施の形態】次に実施の形態について説明する。図1は本発明に係る固体撮像素子の第1の実施の形態を示す回路構成図である。この実施の形態は、図5に示したMOS型固体撮像素子に本発明を適用したもので、図1においては、1垂直信号線に着目して固体撮像素子の一部を示し、また図5に示した構成要素と同一の構成要素には同一の符号を付して示している。この実施の形態においては、図1に示すように、垂直信号線8にドレインが接続され、ソースは電源 $V_{DD}$ に、ゲート・ソース間には容量14が接続されたp型MOSTランジスタ13が設けられていると共に、該p型MOSTランジスタ13のゲート・ドレイン間には、制御信号 $\Phi_{RN}$ がゲートに印加されるスイッチングMOSTランジスタ15が接続されている。そして、p型MOSTランジスタ13、容量14及びスイッチングMOSTランジスタ15とで電流記憶回路12が構成されている。

【0017】次に、このように構成されている電流記憶回路12の動作について説明する。まず、スイッチングMOSTランジスタ15がオン( $\Phi_{RN} = "L"$ )のとき、p型MOSTランジスタ13はゲート・ドレイン間が短絡状態となり、垂直信号線8において発生する電流を $I_p$ とすると、この電流 $I_p$ はp型MOSTランジスタ13を介して電源 $V_{DD}$ に流れる。このとき、p型MOSTランジスタ13のゲート・ソース間電圧は、電流 $I_p$ に対応した

値となる。そして、スイッチングMOSトランジスタ15がオフしても、p型MOSトランジスタ13のゲート・ソース間電圧は容量14により保持され、電流 $I_p$ は流れ続ける。したがって、垂直信号線8で発生する電流 $I_p$ はp型MOSトランジスタ13を介して電源 $V_{DD}$ に流れ続ける。このように電流記憶回路12は垂直信号線8で発生した電流を検出して記憶すると共に、その記憶した電流を流し続ける。

【0018】この電流記憶回路12の動作を利用して、次のようにして画素信号の読み出し動作を行う。まず、水平ブランキング期間にスイッチングMOSトランジスタ15をオンとして、垂直信号線8の不要電荷による電流を記憶した後、スイッチングMOSトランジスタ15をオフとする。その後、垂直走査回路2により垂直選択スイッチ4をオンとして、水平走査回路5により水平スイッチ6を順次オンしながら画素信号を読み出して行く。このとき、スミア成分は、電流記憶回路12の電流で相殺されるので、読み出される電荷はホットダイオード1に蓄積された信号電荷のみとなり、不要なスミア成分は読み出されない。したがって、増幅回路7の入力レンジは、画素に蓄積される信号電荷のみを考慮して設計すればよく、最適なS/N設計が可能となる。

【0019】次に、図1に示した第1の実施の形態を改良し、より精度良くスミアを抑圧できるようにした第2の実施の形態を図2に示す。図1に示した第1の実施の形態においては、垂直信号線8に直接電流記憶回路12が接続されているため、垂直信号線8で発生する電流に応じて、スイッチングMOSトランジスタ15をオンしたときに決まる垂直信号線8の電位は変動する。これにより、読み出し信号に誤差を生じさせる。これを防ぐためには、垂直信号線8で発生する電流が変動しても、垂直信号線8の電位が変化しないような構成とする必要がある。

【0020】図2に示した第2の実施の形態は、垂直信号線8の電位を常に一定に保持したまま、スミアを抑圧できるようにした構成の一例を示したものである。この第2の実施の形態における電流記憶回路12の構成自体は、図1に示した第1の実施の形態のものと同一であるが、この電流記憶回路12は、図1に示した第1の実施の形態とは異なり、垂直信号線8には直接接続せず、転送用MOSトランジスタ16を介して接続されている。この転送用MOSトランジスタ16のゲートは、ソース接地されたn型MOSトランジスタ17と、ゲートにバイアス電圧 $V_{B1}$ が印加された負荷として動作するp型MOSトランジスタ18とで構成されたソース接地型反転増幅器の出力に接続され、転送用MOSトランジスタ16のソースは前記ソース接地型反転増幅器の入力に接続されると共に、垂直信号線8と接続されている。

【0021】また、転送用MOSトランジスタ16のドレインは、電流記憶回路12に接続されると共に、直列接続

のn型MOSトランジスタ19、20で構成されるソースフォロア構成の増幅器の入力、すなわちn型MOSトランジスタ19のゲートに接続されている。なお、n型MOSトランジスタ20のゲートにはバイアス電圧 $V_{B2}$ が印加されている。また、このソースフォロア構成の増幅器の出力は、相関2重サンプリング(CDS)回路10及び水平スイッチ6を介して、ビデオ信号線に接続されている。なお、このソースフォロア構成の増幅器及び相関2重サンプリング回路10は、図6に示したライン増幅MOS型固体撮像素子の構成に対応させて設けたもので、これらを省略して、単純なMOS型固体撮像素子のスミア抑圧回路として、転送用MOSトランジスタ16のドレインを直接水平スイッチ6に接続する構成にしてもよい。

【0022】次に、このように構成されている転送用MOSトランジスタ16、n型MOSトランジスタ17、p型MOSトランジスタ18からなる転送回路の動作について説明する。n型MOSトランジスタ17とp型MOSトランジスタ18は、前述のようにソース接地型の反転増幅器を構成しており、その入出力は転送用MOSトランジスタ16のソース及びゲートに接続され、帰還がかかっている。このため、反転増幅器の入力、すなわち垂直信号線8の電位は、p型MOSトランジスタ18により発生する電流値によって定まるn型MOSトランジスタ17のソース・ゲート間電圧 $V_{gs}$ となる。この転送回路は垂直信号線8の電位を $V_{gs}$ に保持するように、垂直信号線8で発生した電荷を転送用MOSトランジスタ16のドレイン側に転送し、垂直信号線8の電位を一定に保つ働きをする。

【0023】以上述べたように、転送用MOSトランジスタ16、n型MOSトランジスタ17、p型MOSトランジスタ18で構成される転送回路を用いることにより、垂直信号線8の電位を一定に保ったまま、垂直信号線8で発生した電荷を転送用MOSトランジスタ16のドレイン側に転送できるため、信号電荷読み出し時に誤差を与えずに、電流記憶回路12により精度よくスミア成分を相殺することができる。この垂直信号線8のスミア成分を抑圧した状態で、垂直スイッチ4をオンすると、ホットダイオード1の信号電荷により転送用MOSトランジスタ16のドレイン側、すなわちソースフォロア構成のMOSトランジスタ19のゲート電位が変化する。このゲート電位の変化分を相関2重サンプリング回路10により検出及び保持して、水平スイッチ6を順次オンしながら読み出しを行うことにより、スミア成分を含まない信号の読み出しができる。

【0024】上記構成の転送回路を用いることにより、次のような効果も得られる。すなわち、垂直信号線8には垂直スイッチ4が数多く接続されるため、大きな寄生容量が存在するが、この転送回路を用いることにより、垂直信号線8の電位は一定となるため、信号電荷読み出し時に電圧に変換される容量は、ソースフォロア構成の

MOSトランジスタ19のゲート容量が主となり、垂直信号線8の容量の影響を受けないので、小さな信号電荷でも高い出力電圧が得られる。このことは、高感度の撮像素子が実現できることを示している。したがって、本実施の形態は、スミアを精度よく抑圧できるのみならず、高感度の撮像素子を実現できる構成となっている。

【0025】次に、垂直信号線の電位を一定に保持する他の構成例を、第3の実施の形態として図3に基づいて説明する。この実施の形態においては、垂直信号線8はソース接地型のn型MOSトランジスタ21のゲートに接続されている。このn型MOSトランジスタ21のドレインは、ゲートがバイアス電圧 $V_{B1}$ にソースが電源 $V_{DD}$ にそれぞれ接続され負荷として動作するp型MOSトランジスタ22のドレインに接続され、このn型MOSトランジスタ21とp型MOSトランジスタ22とで反転増幅器を構成している。この反転増幅器の入出力間には帰還容量23が接続され、容量帰還型の反転増幅器となっており、積分器を構成している。また、垂直信号線8には、ゲート・ソース間に容量25が設けられた電流記憶用のn型MOSトランジスタ24のソースが接続されている。そして、このn型MOSトランジスタ24のドレインは電源 $V_{DD}$ に接続され、n型MOSトランジスタ24のゲート・ソース間電圧 $V_{gs}$ に応じた電流を垂直信号線8に流し込むようになっている。なお、容量23、25のリセットは、ゲートに制御信号 $\phi_{R1}$ が印加されるリセット用スイッチ26で行われるようになっている。

【0026】次に、このように構成されている第3の実施の形態の動作について説明する。制御信号 $\phi_{R1}$ によりリセット用スイッチ26をオンすると、垂直信号線8で発生する電流と、n型MOSトランジスタ24から供給する電流とが釣り合うように帰還がかかり、n型MOSトランジスタ24のゲート電圧及びn型MOSトランジスタ21のドレイン電圧が定まる。この状態で、リセット用スイッチ26をオフしても、垂直信号線8で発生する電流は、n型MOSトランジスタ24からの電流で相殺される。

【0027】次に、垂直スイッチ4をオンすると、ホトダイオード1に蓄積されている信号電荷は、帰還容量23に転送され、信号電荷による積分値が反転増幅器の出力変化分として表される。その出力変化分を相関2重サンプリング回路10で検出・保持した後、水平走査回路5により水平スイッチ6を順次オンしながら、信号出力を読み出すようになっている。

【0028】このように、第3の実施の形態においては、n型MOSトランジスタ21、p型MOSトランジスタ22、容量23により構成される積分器により、垂直信号線8はn型MOSトランジスタ21のゲート・ソース間電圧 $V_{gs}$ に保たれると共に、n型MOSトランジスタ24のドレイン電圧も一定に保たれるため、精度よく垂直信号線8上のスミア成分を抑圧することができる。

【0029】次に、第4の実施の形態を図4に基づいて

説明する。この実施の形態は、図3に示した第3の実施の形態において、n型MOSトランジスタ21を用いたソース接地型反転増幅器による積分器を、p型MOSトランジスタを用いたソース接地型反転増幅器による積分器に置き換えたものである。このように置き換えた場合においても、図4に示すように、電流記憶用のMOSトランジスタ29はn型としなければならないが、p型MOSトランジスタ27とゲートにバイアス電圧 $V_{B2}$ を印加したn型MOSトランジスタ28とで構成される反転増幅器の動作電圧範囲を確保するため、MOSトランジスタ29はデプレション型のn型MOSトランジスタとし、そのゲート電圧はソース電圧より低くしておく必要がある。またリセット用スイッチ30も動作点の關係上、図4に示すように、p型MOSトランジスタ又はn型MOSトランジスタとp型MOSトランジスタの抱き合わせ構成としたものを用いなければならない。

【0030】この実施の形態においては、垂直信号線8の電位が、 $V_{DD}-V_{gs}$  ( $V_{gs}$ : p型MOSトランジスタ27のゲート・ソース間電圧) となるため、ホトダイオード1への蓄積電荷量を大きくすることができるという特徴も有する。

【0031】

【発明の効果】以上実施の形態に基づいて説明したように、本発明によれば、スミア成分となる読み出し信号線上で発生した余分な電流を、電流の状態で減算可能となり、読み出し用増幅器の入力レンジ、ゲイン、読み出しの周波数帯域等は、スミアの制約なく自由に設計できるため、高S/N化が容易となる等の効果が得られる。

【図面の簡単な説明】

【図1】本発明に係る固体撮像素子の第1の実施の形態における単一の垂直信号線に対応する部分を示す回路構成図である。

【図2】本発明の第2の実施の形態における単一の垂直信号線に対応する部分を示す回路構成図である。

【図3】本発明の第3の実施の形態における単一の垂直信号線に対応する部分を示す回路構成図である。

【図4】本発明の第4の実施の形態における単一の垂直信号線に対応する部分を示す回路構成図である。

【図5】従来のMOS型固体撮像素子の構成例を示す回路構成図である。

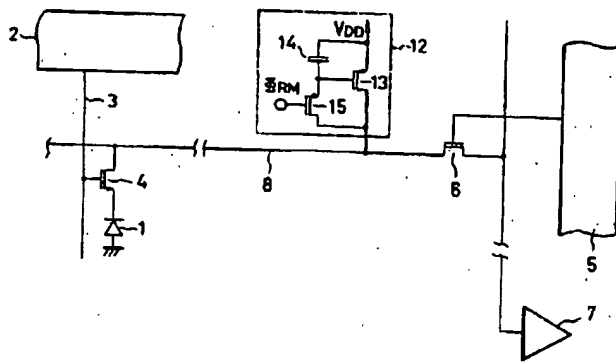
【図6】従来のライン増幅MOS型固体撮像素子の構成例を示す回路構成図である。

【符号の説明】

- 1 ホトダイオード
- 2 垂直走査回路
- 3 垂直ゲート線
- 4 垂直スイッチ
- 5 水平走査回路
- 6 水平スイッチ
- 7 増幅器

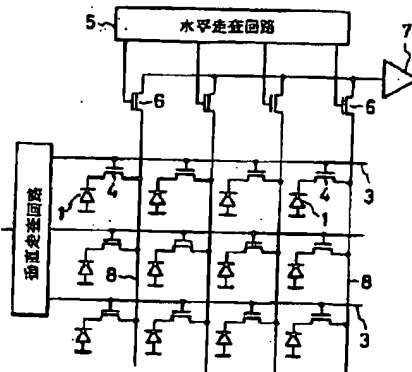
- |                    |                        |
|--------------------|------------------------|
| 8 垂直信号線            | 19, 20 n型MOSTランジスタ     |
| 9 増幅器              | 21 n型MOSTランジスタ         |
| 10 相関2重サンプリング回路    | 22 p型MOSTランジスタ         |
| 11 スメア差動回路         | 23, 25 容量              |
| 12 電流記憶回路          | 24 n型MOSTランジスタ         |
| 13 p型MOSTランジスタ     | 26 リセット用スイッチ           |
| 14 容量              | 27 p型MOSTランジスタ         |
| 15 スイッチングMOSTランジスタ | 28 n型MOSTランジスタ         |
| 16 転送用トランジスタ       | 29 デプレッション型n型MOSTランジスタ |
| 17 n型MOSTランジスタ     | 30 リセット用スイッチ           |
| 18 p型MOSTランジスタ     |                        |

【図1】

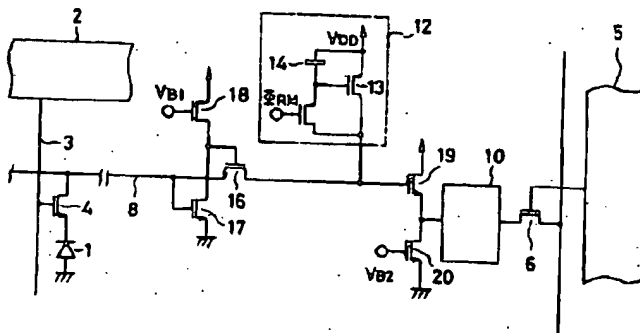


- 2: 垂直走査回路  
5: 水平走査回路  
12: 電流記憶回路

【図5】

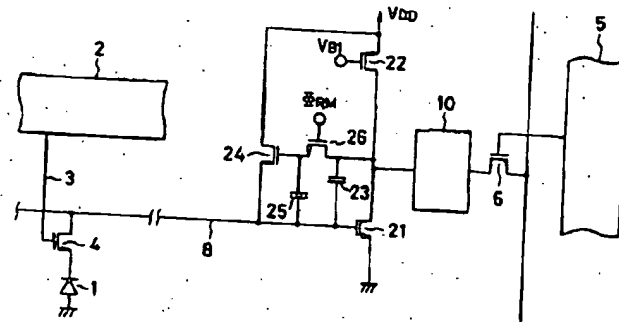


【図2】



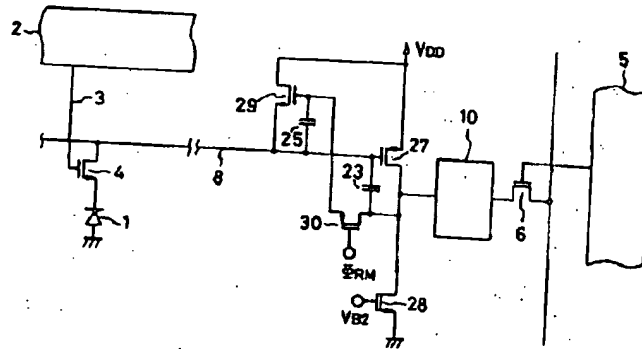
- 2: 垂直走査回路  
5: 水平走査回路  
10: 相関2重サンプリング回路  
12: 電流記憶回路

【図3】



2 : 垂直走査回路  
5 : 水平走査回路  
10 : 相関2重サンプリング回路

【図4】



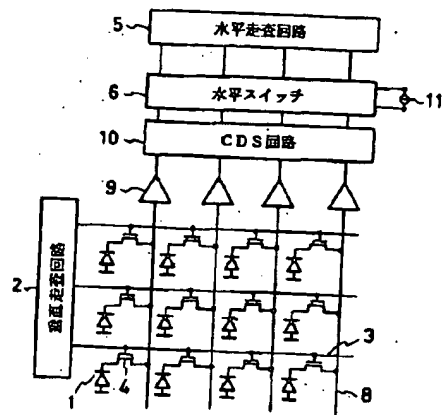
2 : 垂直走査回路  
5 : 水平走査回路  
10 : 相関2重サンプリング回路



(8)

特開平10-233965

【図6】



9 : 幻像管  
11 : スペア整調回路